

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re application of: **Hitoshi SAITO**

Serial Number: **Not Yet Assigned**

Filed: **March 18, 2004**

**Customer No.: 38834**

For: **SEMICONDUCTOR DEVICE**

**CLAIM FOR PRIORITY UNDER 35 U.S.C. 119**

Commissioner for Patents  
P. O. Box 1450  
Alexandria, VA 22313-1450

March 18, 2004

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

**Japanese Appln. No. 2003-078395, filed on March 20, 2003**

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicant has complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 50-2866.

Respectfully submitted,  
WESTERMAN, HATTORI, DANIELS & ADRIAN, LLP



Stephen G. Adrian  
Reg. No. 32,878

Atty. Docket No.: 042194  
1250 Connecticut Ave, N.W., Suite 700  
Washington, D.C. 20036  
Tel: (202) 822-1100  
Fax: (202) 822-1111  
SGA/II

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年   3 月 2 0 日  
Date of Application:

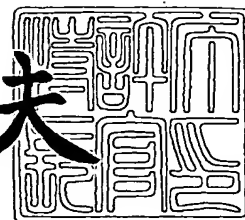
出 願 番 号            特 願 2 0 0 3 - 0 7 8 3 9 5  
Application Number:  
[ST. 10/C]:            [ J P 2 0 0 3 - 0 7 8 3 9 5 ]

出   願   人            富 士 通 株 式 会 社  
Applicant(s):

2 0 0 3 年 1 2 月 1 8 日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出 証 番 号   出 証 特 2 0 0 3 - 3 1 0 5 3 2 9

【書類名】 特許願

【整理番号】 0241479

【提出日】 平成15年 3月20日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 29/00  
G11C 11/22

【発明の名称】 半導体装置

【請求項の数】 6

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 齋藤 仁

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100091672

【弁理士】

【氏名又は名称】 岡本 啓三

【電話番号】 03-3663-2663

【手数料の表示】

【予納台帳番号】 013701

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704683

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 複数の第 1 のビット線にスイッチングトランジスタを介して一端が接続される複数の記憶用強誘電体キャパシタと、

前記記憶用強誘電体キャパシタのそれぞれの他端に接続される第 1 のプレート線と、

第 2 のビット線に第 1 の n チャンネル MOS トランジスタを介して一端が接続される第 1 の参照用強誘電体キャパシタと、

前記第 1 の参照用強誘電体キャパシタの他端に接続される第 2 のプレート線と

、  
前記第 2 のプレート線に接続される p チャンネル MOS トランジスタとを有することを特徴とする半導体装置。

【請求項 2】 前記 p チャンネル MOS トランジスタは、前記第 1 のプレート線と前記第 2 のプレート線が接続されるプレートドライバ回路内に形成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記プレートドライバ回路は、前記 p チャンネル MOS トランジスタがオンの状態で、前記第 2 のビット線よりも低い電圧を前記 p チャンネル MOS トランジスタを介して前記第 2 のプレート線に印可する構造を有することを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】 第 3 のビット線に第 2 の n チャンネル MOS トランジスタを介して一端が接続される第 2 の参照用強誘電体キャパシタと、

前記第 2 の参照用強誘電体キャパシタの他端に接続される第 3 のプレート線と

、  
前記第 3 のプレート線に接続される第 3 の n チャンネル MOS トランジスタとをさらに有することを特徴とする請求項 1 乃至請求項 3 のいずれかに記載の半導体装置。

【請求項 5】 第 1、第 2 のトランジスタと第 1、第 2 の記憶用強誘電体キャパシタによって 1 ビットを記憶する 2T2C 方式のメモリセル領域と、

第3のトランジスタと第3の記憶用強誘電体キャパシタによって1ビットを記憶する1T1C方式のメモリセル領域と  
を有することを特徴とする半導体装置。

【請求項6】 前記2T2C方式のメモリセル領域は、前ビット数の1%以下の範囲の領域であることを特徴とする請求項5に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置に関し、より詳しくは、メモリセルに強誘電体キャパシタを有する半導体装置に関する。

【0002】

【従来の技術】

電源を切っても情報を記憶することができる不揮発性メモリの1つとして、例えばFeRAM(Ferroelectric Random Access Memory)と呼ばれる強誘電体不揮発性メモリが知られている。

【0003】

強誘電体不揮発性メモリは、分極電荷と印加電圧の関係がヒステリシス特性を有する強誘電体キャパシタを持ち、強誘電体キャパシタの分極反転を利用して「1」又は「0」のデータを記憶する構造を有している。そのような強誘電体不揮発性メモリは、高速動作、低消費電力が可能であり、今後の発展が見込まれている。

【0004】

強誘電体不揮発性メモリの記憶方式としては、現在さまざまなものが提案されていて、トランジスタとキャパシタをそれぞれ1つずつ使用して1ビットを記憶する1T1C方式と、トランジスタとキャパシタをそれぞれ2つずつ使用して1ビットを記憶する2T2C方式がある。1T1C方式は、2T2C方式に比べて素子の数を少なくしてセル面積を減らすことが可能である。また、1T1C方式と2T2C方式を制御回路によって切り換える構造も下記の特許文献1に記載されているが、セル面積は2T2C方式に支配される。

**【0005】**

1T1C方式の強誘電体不揮発性メモリは、例えば下記の特許文献2に記載されているように、「0」又は「1」のデータを判断するために、記憶用の強誘電体キャパシタ（以下に、メモリキャパシタという。）の他に、データ読み出し用の参照値を出力するための参照用の強誘電体キャパシタ（以下に、リファレンスキャパシタという。）が必要となる。

**【0006】**

次に、1T1C方式のメモリセルの基本を図1，図2に基づいて説明する。

**【0007】**

図1において、強誘電体不揮発性メモリのメモリセル領域に形成された第1、第2のビット線101a，101bの一端はカラム（列）デコーダ102に接続され、それらの他端はセンスアンプ103に接続されている。また、メモリセル領域では、第1、第2のビット線101a，101bと直交する方向に複数のメモリ用のワード線104aとメモリ用のプレート線105aが交互に複数本形成されている。メモリセル用のワード線104aはロウ（行）デコーダ106に接続され、メモリセル用のプレート線105aはプレートドライバ107に接続される。

**【0008】**

第1のビット線101aと各メモリセル用のプレート線105aの間には、第1のnチャネルMOSトランジスタ108aのソース／ドレインを介してメモリキャパシタ109aが接続されている。また、第1のnチャネルMOSトランジスタ108aのゲート電極にはメモリセル用のワード線104aが接続されている。

**【0009】**

また、プレートドライバ107にはリファレンス用のプレート線105bが接続され、さらに、ロウデコーダ106にはリファレンス用のワード線104bが接続されている。そして、リファレンス用のプレート線105bと第2のビット線101bの間には、第2のnチャネルMOSトランジスタ108bのソース／ドレインを介してリファレンスキャパシタ109bが接続されている。第2のnチャネルMOSトランジスタ108bのゲート電極は、リファレンス用のワード線104bに接続されている。

**【0010】**

このような強誘電体不揮発性メモリでは、カラムデコーダ102 から第1、第2のビット線101a, 101bに選択された電圧が印加されるとともに、ロウレコーダ106 から第1、第2のワード線101a, 101bに選択された電圧が印加され、プレートドライバ107 からメモリセル用のプレートライン105aとリファレンス用のプレートライン105bに選択された電圧が印加される。

#### 【0011】

そして、データ読み出し時には、第1のビット線101aの電位変化量と第2のビット線101bの電位変化量をセンスアンプ103 によって比較し、2つの電位変化量の差の大きさによってデータを検出する。

#### 【0012】

次に、強誘電体不揮発性メモリに記憶されたデータの読み出し動作について説明する。ここで、データの書き込み、読み出し以外の状態では、リファレンスキャパシタ109bには、常時「0」のデータが記憶されていて、リファレンスキャパシタ109bの分極電荷量は図2に示すヒステリシス線IのC点の $+Q_2$  となる。

#### 【0013】

メモリキャパシタ109aに「1」のデータが書き込まれた状態では、メモリキャパシタ109aの分極電荷量は図2に示すヒステリシス線IIのA点の $-Q_1$  となる。また、メモリキャパシタ109aに「0」のデータが書き込まれた状態では、メモリキャパシタ109aの分極電荷量は図2のヒステリシス線IIのB点の $+Q_1$  となる。

#### 【0014】

そして、メモリキャパシタ109aのデータを読み出す場合には、図3に示すようなタイミングで第1、第2のワード線104a, 104b、第1、第2のプレート線105a, 105bの電圧を変化させ、これに伴い第1、第2のビット線101a, 101bの電圧も変化する。

#### 【0015】

まず、ロウデコーダ106 から第1、第2のワード線104a, 104bに印加される信号の電圧が0から $V_{cc}$ に立ち上がった後に、プレートドライバ107 から第1、第2のプレート線105a, 105bに印加される信号の電圧が0から $V_{cc}$ に立ち上がる。なお、0は接地電圧、 $V_{cc}$ は電源電圧であって単位はボルトである。これにより

、メモリキャパシタ109aには電圧 $V_1$ が印加されてその分極状態は、図2に示すヒステリシスループIIに沿って移動して最終的に点Dになり、分極電荷量は $+Q_{01}$ となる。なお、メモリキャパシタ109aに印加される電圧 $V_1$ は、電圧降下によって $V_{cc}$ より低くなる。

#### 【0016】

ここで、メモリキャパシタ109aのデータが「1」の場合にはメモリキャパシタ109aの分極方向が反転するが、データが「0」の場合にはメモリキャパシタ109aの分極方向は反転しない。同時に、リファレンスキャパシタ109bの分極状態は図2に示すヒステリシスループIに沿って移動して最終的にC点からE点に変化し、分極電荷量は $Q_{02}$ となり、分極方向は反転しない。

#### 【0017】

従って、メモリキャパシタ109aにおいて、データ「1」が書き込まれているときには分極電荷の移動量は $\alpha = +Q_{01} - (-Q_1)$ となり、データ「0」が書き込まれているときには分極電荷の移動量は $\beta = +Q_{01} - (Q_1)$ となる。

#### 【0018】

一方、リファレンスキャパシタ109bにおいて、分極電荷の移動量は $\gamma = +Q_{02} - Q_2$ となる。

#### 【0019】

これらの分極電荷の移動量 $\alpha$ 、 $\beta$ 、 $\gamma$ に応じてビット線101a、101bの電位が上昇し、その上昇量をセンスアンプ103が増幅する。そして、分極電荷の移動量 $\alpha$ 、 $\beta$ 、 $\gamma$ に基づいて第1のビット線101aと第2のビット線101bの電位変化値を比較し、メモリキャパシタ109aに「1」及び「0」のいずれが記憶されているかを読み取る。具体的には、第1のビット線101aの電位の変化値が第2のビット線101bの電位の変化値より大きい場合 ( $\alpha > \gamma$ ) にはメモリキャパシタ109aには「1」が記憶されていると読み取り、逆に小さい場合 ( $\gamma > \beta$ ) にはメモリキャパシタ109aには「0」が記憶されていると読み取る。

#### 【0020】

従って、メモリキャパシタ109aの読み取りを正確に行うためには、図2に示すリファレンスキャパシタ109bの分極電荷の移動量 $\gamma$ が、メモリキャパシタ109aの



分極電荷の反転移動量  $\alpha$  と非反転移動量  $\beta$  との間の大きさに設定される必要がある。

【0021】

【特許文献1】

特開平9-120700号公報（段落番号0011～0016）

【特許文献2】

特開平8-321186号公報（段落番号0057～0063、図9）

【0022】

【発明が解決しようとする課題】

ところで、強誘電体不揮発性メモリでは、樹脂封止、半田接合などの熱処理（以下、実装／IR熱処理という。）前にチップ毎の識別番号などのデータを顧客の要求によって書き込んでおく場合がある。

【0023】

しかし、リファレンスキャパシタ109bのヒステリシスループの点Cの分極電荷量 $Q_2$ は、200～250℃の温度で大きく減極しやすい。

【0024】

減極したリファレンスキャパシタ109bでは、残留分極電荷量が図2の分極電荷量軸上の点C'へと変化して、データ読み出し時の分極電荷の移動量が $\gamma'$ （ $\gamma' > \alpha > \beta$ ）と大きくなってしまう。この結果、リファレンスキャパシタ109bの残留分極量に基づくメモリキャパシタ109aのデータの読み出しができなくなる。

【0025】

リファレンスキャパシタ109bの熱により変化した残留分極量は、温度を戻して再書き込みをすれば点Cに戻るが、加熱処理前に書き込んだ意味がなくなってしまう。

【0026】

なお、メモリセルキャパシタ109aも熱により減極する可能性はあるが、メモリセルキャパシタ109aは第1のビット線101aに多く接続されているので、その減極の量はリファレンスキャパシタ109bのように大きくない。

【0027】

本発明の目的は、熱処理前に書き込まれるデータの読み出し不良の発生を抑制することができる半導体装置を提供することにある。

#### 【0028】

##### 【課題を解決するための手段】

本発明の一観点によれば、複数の第1のビット線にスイッチングトランジスタを介して一端が接続される複数の記憶用強誘電体キャパシタと、前記記憶用強誘電体キャパシタのそれぞれの他端に接続される第1のプレート線と、第2のビット線に第1のnチャネルMOSトランジスタを介して一端が接続される第1の参照用強誘電体キャパシタと、前記第1の参照用強誘電体キャパシタの他端に接続される第2のプレート線と、前記第2のプレート線に接続されるpチャネルMOSトランジスタとを有する半導体装置が提供される。

#### 【0029】

本発明の他の観点によれば、第1、第2のトランジスタと第1、第2の記憶用強誘電体キャパシタによって1ビットを記憶する2T2C方式のメモリセル領域と、第3のトランジスタと第3の記憶用強誘電体キャパシタによって1ビットを記憶する1T1C方式のメモリセル領域とを有する半導体装置が提供される。

#### 【0030】

本発明によれば、1T1C方式の強誘電体不揮発性メモリにおいて、リファレンスキャパシタとビット線の間に接続されるトランジスタとしてnチャネルMOSトランジスタを用い、そのリファレンスキャパシタに接続するプレート線に接続されるトランジスタとしてpチャネルMOSトランジスタを用いている。

#### 【0031】

ここで、リファレンスキャパシタに書き込まれた参照データを読み出す時に、pチャネルMOSトランジスタ及びプレート線を介してリファレンスキャパシタにはビット線に対して負の電圧を印可する。なお、参照データは、リファレンスキャパシタのビット線側がプラス、プレート線側がマイナスの分極電荷となっている。

#### 【0032】

そのように、リファレンスキャパシタのプレート線に電圧を印可するスイッチ

ングトランジスタとして p チャンネル MOS トランジスタを適用すると、リファレンスキャパシタに書き込まれた蓄積電荷が減極しにくくなる。

#### 【0033】

また、別の本発明によれば、2T2C方式のメモリセル領域と1T1C方式のメモリセル領域を併存させて、実装／IR熱処理の前に2T2C方式のメモリセル領域を選択してデータを書き込むようにしている。

#### 【0034】

2T2C方式のメモリセルは、リファレンスキャパシタが不要であるので、加熱処理前にデータが書き込まれていても、加熱処理によってデータの読み出しエラーが生じにくい。また、1T1C方式のメモリセルも併存させたので、メモリセル領域全体の面積は、完全な2T2C方式の強誘電体不揮発性メモリに比べて縮小化することが可能になる。

#### 【0035】

##### 【発明の実施の形態】

以下に、本発明の実施形態を図面に基づいて説明する。

##### (第1の実施の形態)

図4は、本発明の第1実施形態に係る強誘電体不揮発性メモリの回路図、図5は、その強誘電体不揮発性メモリのリファレンスセルを示す回路図、図6は、その強誘電体不揮発性メモリのメモリキャパシタとリファレンスキャパシタの電圧・分極電荷量の関係を示す図である。

#### 【0036】

図4において、シリコン基板（不図示）には縦横に間隔をおいて複数の第1のnチャンネルMOSトランジスタ11が形成されている。横方向に1つずつ並ぶ第1のnチャンネルMOSトランジスタ11は1つの列となり、縦方向に1つずつ並ぶ第1のnチャンネルMOSトランジスタ11は1つの行となる。また、シリコン基板には、最終番目の列の第1のnチャンネルMOSトランジスタ11から間隔をおいて、第2のnチャンネルMOSトランジスタ12が横方向一列に複数形成されている。

#### 【0037】

また、第1及び第2のnチャネルMOSトランジスタ11, 12を区画するためにシリコン基板の表面に形成された素子分離絶縁膜（不図示）の上には、第1のnチャネルMOSトランジスタ11のゲート電極同士を列毎に接続するメモリ用のワード線13が間隔をおいて複数形成されている。

#### 【0038】

さらに、素子分離絶縁膜の上には、横方向に並ぶ複数の第2のnチャネルMOSトランジスタ12のゲート電極を接続するリファレンス用のワード線14が形成されている。

#### 【0039】

第1及び第2のnチャネルMOSトランジスタ11, 12を覆う第1絶縁膜（不図示）の上には、複数の第1のnチャネルMOSトランジスタ（スイッチングトランジスタ）11のそれぞれの近傍にメモリキャパシタ（記憶用強誘電体キャパシタ）15が形成され、さらに、複数の第2のnチャネルMOSトランジスタ（スイッチングトランジスタ）12のそれぞれの近傍にリファレンスキャパシタ（参照用強誘電体キャパシタ）16が形成されている。

#### 【0040】

メモリキャパシタ15として、強誘電体膜、例えばPZT膜を第1電極と第2電極により挟む構造の強誘電体キャパシタが用いられている。同様に、リファレンスキャパシタ16として、第1電極と第2電極に挟まれる強誘電体膜を有する強誘電体キャパシタが用いられている。

#### 【0041】

また、メモリキャパシタ15、リファレンスキャパシタ16は、第2絶縁膜（不図示）に覆われている。第2絶縁膜の上方では、第1、第2のワード線13, 14に格子状に交差するメモリ用のビット線19及びリファレンス用のビット線20が形成されている。メモリセル用のビット線19とリファレンス用のビット線20は、それぞれ横方向に間隔をおいて交互に複数形成されている。

#### 【0042】

メモリセル用のビット線19には、各行毎に並ぶ複数の第1のnチャネルMOSトランジスタ11のソース／ドレインの一方のノードが接続されている。これ

により、各列に並ぶ複数の第1のnチャネルMOSトランジスタ11は異なるメモリ用のビット線19に接続されることになる。

#### 【0043】

また、複数の第1のnチャネルMOSトランジスタ11のソース／ドレインの他方のノードのそれぞれには、メモリキャパシタ15の第1電極が接続されている。また、同じ列の複数のメモリキャパシタ15の第2電極は、同じメモリ用のプレート線17に接続される。これにより、縦方向に並ぶ複数のメモリキャパシタ15は異なるメモリ用のプレート線17に接続されることになる。

#### 【0044】

最終列において横方向に並ぶ複数の第2のnチャネルMOSトランジスタ12のソース／ドレインの一方のノードは、異なるリファレンス用のビット線20に接続されている。また、横方向に1列で並ぶ複数の第2のnチャネルMOSトランジスタ12のソース／ドレインの他方のノードはそれぞれリファレンスキャパシタ16の第1電極に接続されている。また、横方向に並ぶ複数のリファレンスキャパシタ16の第2電極は、1つのリファレンス用のプレート線18に接続されている。

#### 【0045】

プレート線17、18は、メモリキャパシタ15、リファレンスキャパシタ16の第2の電極を兼用している構造や、メモリキャパシタ15及びリファレンスキャパシタ16を覆う絶縁膜の上方に形成される構造がある。

#### 【0046】

以上により、N本（N：整数）のメモリ用のワード線13とM本（M：整数）のメモリ用のビット線19の交差領域のそれぞれには、第1のnチャネルMOSトランジスタ11とメモリキャパシタ15が1つずつ配置されることになる。また、リファレンス用のワード線14とリファレンス用のビット線20の交差領域には、それぞれ第2のnチャネルMOSトランジスタ12とリファレンスキャパシタ16が配置されることになる。

#### 【0047】

メモリ用のワード線13とリファレンス用のワード線14はロウデコーダ21

に接続され、また、メモリ用のプレート線 17 とリファレンス用のプレート線 18 はプレートドライバ 22 に接続されている。さらに、メモリ用のビット線 19 とリファレンス用のビット線 20 の一端はカラムデコーダ 23 に接続され、それらの他端はセンスアンプ 24 に接続されている。

#### 【0048】

なお、nチャネルMOSトランジスタ 11、メモリ用のキャパシタ 15、ワード線 13、14、ビット線 19、20、プレート線 17、18 などの層の異なる各要素同士の接続は、直接的な接続か、ホール又は導電性プラグを介した接続である。

#### 【0049】

ところで、図 5 に示すように、リファレンス用のプレート線 18 の電圧制御のためにプレートドライバ 22 内のスイッチング素子として、pチャネルMOSトランジスタ 25 が形成されている。これにより、リファレンスキャパシタ 16 は、ビット線 20 側には nチャネルMOSトランジスタ 12 が接続され、プレート線 18 側には pチャネルMOSトランジスタ 25 が接続され、リファレンスキャパシタ 16 には、pチャネルMOSトランジスタ 25 を介して 0 又は  $-V_{cc}$  の電圧が印加される。

#### 【0050】

pチャネルMOSトランジスタ 25 はシリコン基板の n ウェルに形成され、また、nチャネルMOSトランジスタ 12 はシリコン基板の p ウェルに形成されている。この場合、p ウェルと n ウェルの耐圧を確保するために、p ウェルと n ウェルの間隔は例えば  $10\ \mu\text{m}$  程度に大きくする必要がある。なお、p ウェル同士の間隔は一般に  $1\ \mu\text{m}$  程度である。

#### 【0051】

上記したリファレンスキャパシタ 16 の分極電荷・電圧の関係は、図 6 に示すようなヒステリシスループ IV となる。そして、リファレンスキャパシタ 16 には、常時、従来技術の「0」ではなく「1」のデータを書き込んだ状態にする。即ち、リファレンスキャパシタ 16 に電圧が印加されていない状態での残留分極量は、分極電荷軸上で F 点の  $-Q_r$  の大きさとなる。

## 【0052】

メモリキャパシタ 15 の分極電荷・電圧の関係は、図 6 に示すヒステリシスループ III となり、従来技術と同じである。

## 【0053】

そして、メモリキャパシタ 15 のデータを読み出す場合には、図 7 に示すようなタイミングで、メモリ用のワード線 13、リファレンス用のワード線 14、メモリ用のプレート線 17、リファレンス用のプレート線 18 のそれぞれの電圧を制御する。これに伴い、メモリキャパシタ 15 のデータに従って、メモリ用のビット線 19、リファレンス用のビット線 20 の電圧が変化する。電圧はプレートドライバ 22、ロウデコーダ 23 により制御される。

## 【0054】

まず、ロウデコーダ 21 からメモリ用のワード線 13 及びリファレンス用のワード線 14 に印加される信号の電圧が 0 から  $V_{cc}$  に立ち上がった後に、プレートドライバ 22 からメモリ用のプレート線 17 及びリファレンス用のプレート線 18 に印加される信号の電圧が 0 から  $V_{cc}$  に立ち上がる。なお、電圧 0 は接地電位などの固定電位であり、電圧  $V_{cc}$  は電源電圧であり、それらの単位はボルトである。

## 【0055】

これにより、メモリキャパシタ 15 には  $V_1$  の電圧が印加されて、メモリキャパシタ 15 の分極電荷は図 6 に示すヒステリシスループ III に沿って移動して最終的に点 D になり、分極電荷量は  $+Q_{01}$  となる。

## 【0056】

ここで、メモリキャパシタ 15 のデータが「1」の場合にはメモリキャパシタ 15 の分極方向が点 A から移動して反転するが、データが「0」の場合にはメモリキャパシタ 15 の分極方向が点 B から移動して反転しない。同時に、リファレンスキャパシタ 16 には、電圧  $-V_2$  が印加されて図 6 に示すヒステリシスループ IV に沿って移動して最終的に点 F から点 G に変化し、分極電荷量は  $-Q_r$  から  $-Q_{22}$  に変化して、分極方向は反転しない。

## 【0057】

従って、メモリキャパシタ 15 において、データ「1」が書き込まれているときには分極電荷の移動量は  $\alpha = +Q_{01} - (-Q_1)$  となり、データ「0」が書き込まれているときには分極電荷の移動量は  $\beta = +Q_{01} - (Q_1)$  となる。

#### 【0058】

一方、リファレンスキャパシタ 16 において、分極電荷の移動量は  $\gamma = -Q_{22} - (-Q_r)$  となる。ここで、 $\alpha < \gamma < \beta$  の関係となるように各蓄積電荷条件が調整される。

#### 【0059】

これらの分極電荷の移動量  $\alpha$ 、 $\beta$ 、 $\gamma$  に応じてビット線 19, 20 の電位が上昇し、その上昇量をセンスアンプ 24 が増幅する。そして、分極電荷の移動量  $\alpha$ 、 $\beta$ 、 $\gamma$  に基づいてメモリ用のビット線 19 とリファレンス用のビット線 20 の電位変化量を比較し、メモリキャパシタ 15 に「1」及び「0」のいずれが記憶されているかを読み取る。具体的には、メモリ用のビット線 19 の電位の変化量がリファレンス用のビット線 20 の電位の変化量より大きい場合 ( $\alpha > \gamma$ ) にはメモリキャパシタ 15 には「1」が記憶されていると読み取り、逆に小さい場合 ( $\gamma > \beta$ ) にはメモリキャパシタ 15 には「0」が記憶されていると読み取る。

#### 【0060】

従って、メモリキャパシタ 15 の読み取りを正確に行うためには、図 6 に示すリファレンスキャパシタ 16 の分極電荷の移動量  $\gamma$  が、メモリキャパシタ 15 の分極電荷の反転移動量  $\alpha$  と非反転移動量  $\beta$  との間の大きさに設定される。

#### 【0061】

リファレンスキャパシタ 16 に「1」を書き込むためには、図 8 (a) に示すように、リファレンス用のワード線 14 の電位とリファレンス用のビット線 20 の電位をそれぞれ  $V_{cc}$  にするとともに、p チャネル MOS トランジスタ 25 をオフ (OFF) にしてリファレンス用のプレート線 18 の電位を 0 とする。これにより、リファレンスキャパシタ 16 において、n チャネル MOS トランジスタ 12 側の第 1 電極は正電荷となり、p チャネル MOS トランジスタ 25 側の第 2 電極は負電荷となる。この結果、リファレンスキャパシタ 16 には電圧  $-V_2$  がかかり、リファレンスキャパシタ 16 の分極電荷量は  $-Q_{22}$  となる。その後、ワード線



14、ビット線20の電圧を0に戻すと、リファレンスキャパシタ16の残留分極電荷量は $-Q_r$ となる。

【0062】

また、データの読み出しの時には、図8(b)に示すように、リファレンス用のビット線20に印加される電圧を0とし、リファレンス用のワード線14に印加される電圧を $V_{cc}$ とし、さらにpチャネルMOSトランジスタ25をオン(ON)にしてリファレンス用のプレート線18に印加される電圧を $-V_{cc}$ とする。これにより、リファレンスキャパシタ16において、nチャネルMOSトランジスタ12側の第1電極は正電荷となり、pチャネルMOSトランジスタ25側の第2電極は負電荷となり、分極電荷量は $-Q_r$ から $-Q_{22}$ へと $\gamma$ だけ移動する。

【0063】

強誘電体不揮発性メモリが形成された半導体チップに樹脂封止をするために例えば230℃で1分間の熱を加えると、同じ熱が残留分極電荷量 $-Q_{22}$ を有するリファレンスキャパシタ16にも加わる。

【0064】

この場合、リファレンスキャパシタ16の第1電極側の正電荷がnチャネルMOSトランジスタ12を通して抜けにくく、さらに、その第2電極側から負電荷がpチャネルMOSトランジスタ25を通して抜けにくくなる。この結果、加熱によりリファレンスキャパシタ16が減極しにくくなる。

【0065】

ところで、リファレンスキャパシタ16に接続される第2のプレート線18には全てpMOSトランジスタ25が接続される必要はなく、実装／IR熱処理の後にデータが書き込まれるメモリ領域では、従来のようにnチャネルMOSトランジスタを用いてもよい。

【0066】

例えば、実装／IR熱処理の後にデータが書き込まれるメモリ領域のリファレンスキャパシタ16に接続されるプレートドライバ18内のスイッチング素子として、図9(a)に示すようにnチャネルMOSトランジスタ29が用いられる。

【0067】

次に、図9(a)に示したリファレンスキャパシタ16の書き込み、読み出しの動作について説明する。

#### 【0068】

リファレンスキャパシタ16にリファレンス値となる「0」を書き込む場合には、図9(a)に示すように、nチャネルMOSトランジスタ29をオンしてリファレンス用のプレート線18の電位を $V_{cc}$ とし、リファレンス用のワード線13の電位電位を $V_{cc}$ にするとともに、リファレンス用のビット線20の電位を0とする。これにより、リファレンスキャパシタ16において、ビット線20側の第1電極は負電荷となり、プレート線18側の第2電極は正電荷となる。この結果、リファレンスキャパシタ16には電圧 $V_1$ がかかり、リファレンスキャパシタ16の分極電荷量は図2に示すように $Q_{02}$ となる。その後に、ワード線14、ビット線20の電圧を0に戻すと、リファレンスキャパシタ16の残留分極電荷量は $Q_2$ となる。

#### 【0069】

また、データの読み出しの時には、図9(b)に示すように、nチャネルMOSトランジスタ29をオンしてリファレンス用のプレート線18にかかる電圧を $V_{cc}$ とし、リファレンス用のビット線20にかかる電圧を0とし、リファレンス用のワード線14にかかる電圧を $V_{cc}$ とする。これにより、リファレンスキャパシタ16において、ビット線20側の第1電極は負電荷となり、プレート線18側の第2電極は正電荷となって、図2に示すように分極電荷量は $Q_2$ から $Q_{02}$ へと $\gamma$ だけ移動する。

#### 【0070】

強誘電体不揮発性メモリである半導体チップに実装／IR熱処理のために例えば230℃で1分間の熱を加えると、同じ熱が残留分極電荷量 $Q_2$ を有するリファレンスキャパシタ16にも加わる。この場合、リファレンスキャパシタ16の第1電極側の電子が、ビット線20側のnチャネルMOSトランジスタ12を通して抜けやすくなるので、リファレンスキャパシタ16の分極電荷量が図2の点C'まで低くなってしまふ。なお、温度を許容範囲に戻すことにより、リファレンスキャパシタ16に再書き込みをすれば、分極電荷量は点Cに戻る。

**【0071】**

従って、実装／IR熱処理の前にデータが書き込まれるメモリ領域では、図5に示したように、リファレンスキャパシタ16の分極の正方向にはnチャネルMOSトランジスタ12を接続し、負方向にはpチャネルMOSトランジスタ25を接続する構造を採用し、これによりリファレンスキャパシタ16の残留分極電荷量の低下を抑制する。

**【0072】**

なお、図4に示すプレートドライバ22内で、メモリ用のプレート線17を介してメモリキャパシタ11に接続されるスイッチング素子は、図9(a)に示すようなnチャネルMOSトランジスタ29である。

**【0073】**

ところで、図10(a)に示すように、半導体チップ内のメモリセル領域26において、メモリキャパシタ15のデータを読み出すためのリファレンスキャパシタ16の全てに図5に示したnチャネルMOSトランジスタ12とpチャネルMOSトランジスタ25を接続してもよい。

**【0074】**

しかし、pチャネルMOSトランジスタは、nチャネルMOSトランジスタに比べて、特性を良くするために大きくなる。従って、メモリのさらなるチップ面積の縮小化を図るためには、図10(b)に示すように、メモリ領域26の一部に管理データ領域26aを確保し、その管理データ領域26a内のリファレンスキャパシタ16にだけ図5に示したnチャネルMOSトランジスタ12とpチャネルMOSトランジスタ25を接続して、その他のメモリセル領域26内のリファレンスキャパシタ16の両端にはそれぞれ図9(a)に示したようにnチャネルMOSトランジスタ29を接続するようにしてもよい。例えば、図10(b)において総数の1%以下で、1以上の数のリファレンスキャパシタ16にpチャネルMOSトランジスタ25を接続する構成を採用することにより、図10(a)に比べてチップ面積を5～10%縮小化して製造コストの削減が図れる。

**【0075】**

なお、図10(a),(b)では、メモリ領域26の周囲は、プレートドライバ22

、カラムデコーダ23、ロウデコーダ21、センスアンプ24などが形成される周辺回路領域27となっている。

(第2の実施の形態)

図11は、本発明の第2実施形態に係る強誘電体不揮発性メモリを有する半導体チップの領域の区分を示す平面図である。

【0076】

図11に示すメモリセル領域31では、1T1C方式のメモリセル領域31aと2T2C方式のメモリセル領域31bを有し、2T2C方式のメモリセル領域31bは、例えばメモリセル領域31の1%以下のビット数に相当する狭い面積となっている。また、メモリセル領域31の周囲は周辺回路領域32となっている。

【0077】

図12は、1T1C方式のメモリセル領域31aと2T2C方式のメモリセル領域31bと周辺回路領域32を具体的に示す回路図である。

【0078】

図12において、シリコン基板（不図示）には縦横に間隔をおいてN個×M個（N、M；整数）のnチャネルMOSトランジスタ41が形成されている。また、nチャネルMOSトランジスタ41の相互間を区画するためにシリコン基板の表面に形成された素子分離絶縁膜（不図示）の上には、nチャネルMOSトランジスタ41のゲート電極同士を各列毎に接続するワード線42が間隔をおいて複数形成されている。

【0079】

nチャネルMOSトランジスタ41を覆う第1絶縁膜（不図示）の上には、nチャネルMOSトランジスタ41のそれぞれの近傍に強誘電体キャパシタが形成されている。強誘電体キャパシタは、第1電極と第2電極により強誘電体膜、例えばPZT膜を挟む構造を有している。

【0080】

1T1C方式のメモリ領域31aに形成された複数の強誘電体キャパシタのうち、1列目～(N-1)列目までの複数の強誘電体キャパシタはメモリキャパシ

タ 4 3 であり、N 列目の複数の強誘電体キャパシタはリファレンスキャパシタ 4 4 である。また、2 T 2 C 方式のメモリ領域 3 1 b に形成される複数の強誘電体キャパシタは、2 つで 1 ビットを記憶する第 1、第 2 のメモリキャパシタ 4 5 a, 4 5 b が複数形成されている。

#### 【0081】

メモリキャパシタ 4 3, 4 5 a, 4 5 b、リファレンスキャパシタ 4 4 は第 2 絶縁膜（不図示）に覆われている。

#### 【0082】

1 T 1 C 方式のメモリセル領域 3 1 a では、メモリ用のビット線 4 8 とリファレンス用のビット線 4 9 が、ワード線 4 2 に交差するように第 2 絶縁膜の上方で間隔をおいて交互に形成されている。また、2 T 2 C 方式のメモリセル領域 3 1 b では、第 1 ビット線 5 0 a と第 2 ビット線 5 0 b が、ワード線 4 2 に交差するように第 2 絶縁膜の上方で間隔をおいて交互に配置されていて、第 1 ビット線 5 0 a と第 2 ビット線 5 0 b には互いに逆の信号が加えられる。

#### 【0083】

また、M 本のビット線 4 8, 4 9, 5 0 a, 5 0 b は、N 本のワード線 4 2 と立体交差して格子状になっている。

#### 【0084】

1 T 1 C 方式のメモリセル領域 3 1 a では、複数のメモリ用のビット線 4 8 の各々には縦方向に並ぶ第 1 ～第 (N-1) 番目までの n チャネル MOS トランジスタ 4 3 のソース／ドレインの一方が接続されている。また、第 1 ～第 (N-1) 番目までの各列の複数の n チャネル MOS トランジスタ 4 3 のソース／ドレインの他方の各々にはメモリキャパシタ 4 3 の第 1 電極が接続されている。また、第 1 ～第 (N-1) 番目の列の複数のメモリキャパシタ 4 3 の第 2 電極は、同じプレート線 4 7 に接続されている。

#### 【0085】

さらに、1 T 1 C 方式のメモリセル領域 3 1 a において、リファレンス用のビット線 4 8 には、n チャネル MOS トランジスタ 4 3 のソース／ドレインを介してリファレンスキャパシタ 4 3 の第 1 電極が接続されている。さらに、リファレ

ンスキャパシタ 43 の第 2 電極は第 N 番目のプレート線 47 に接続されている。

【0086】

プレート線 47 は、メモリキャパシタ 43、リファレンスキャパシタ 44 のそれぞれの第 2 電極を兼用する構造、又は、メモリキャパシタ 43、リファレンスキャパシタ 44 を覆う第 2 絶縁膜の上方に形成される構造が採用される。

【0087】

2T2C 方式のメモリセル領域 31b では、縦方向の奇数番目の n チャネル MOS トランジスタ 41 のソース／ドレイン 41 の一方が第 1 のビット線 50a に接続され、さらに、縦方向の偶数番目の n チャネル MOS トランジスタ 41 のソース／ドレインの一方が第 2 ビット線 50b に接続されている。

【0088】

また、縦方向において、奇数番目の n チャネル MOS トランジスタのソース／ドレイン 41 の他方と同番目のプレート線 47 との間のそれぞれには第 1 のメモリキャパシタ 45a が接続され、さらに、偶数番目の n チャネル MOS トランジスタ 41 のソース／ドレインの他方のノードの各々と同番目のプレート線 47 との間には第 2 のメモリキャパシタ 45b が接続されている。

【0089】

また、周辺回路領域 32 において、プレートドライバ 51 にはプレート線 47 が接続され、カラムデコーダ 52 にはビット線 48, 49, 50a, 50b の一端が接続され、周辺回路領域 32 のセンスアンプ 53 にはビット線の 48, 49, 50a, 50b の他端が接続され、さらに、ロウデコーダ 54 にはワード線 42 が接続されている。

【0090】

以上により、1T1C 方式のメモリセル領域 31a における複数のメモリ用のビット線 48 と複数のワード線 41 の各交差領域では、n チャネル MOS トランジスタ 41 のソース／ドレインとメモリキャパシタ 43 がメモリ用のビット線 48 とワード線 41 の間に接続される構造となっている。また、複数のリファレンス用のビット線 49 と 1 本のワード線 42 の各交差領域では、n チャネル MOS トランジスタ 41 のソース／ドレインとリファレンスキャパシタ 47 がリファレ

ンス用のビット線 49 とワード線 42 の間に接続される構造となっている。

#### 【0091】

また、2T2C方式のメモリセル領域31bにおける第1のビット線50aと奇数番目のワード線42の各交差領域では、nチャネルMOSトランジスタ41のソース／ドレインと第1のメモリキャパシタ45aが第1のビット線50aとワード線42の間に接続される構造となっている。また、第2のビット線50bと偶数番目のワード線42の各交差領域には、nチャネルMOSトランジスタ41のソース／ドレインと第2のメモリキャパシタ45bが第2のビット線50bとワード線42の間に接続される構造となっている。

#### 【0092】

なお、nチャネルMOSトランジスタ41、メモリキャパシタ43、45a、45b、リファレンスキャパシタ44、ワード線41、ビット線48、49、501、50b、プレート線47などの要素同士の接続は、直接の接続か、導電パターン、導電プラグ、ホールなどを介した接続である。

#### 【0093】

上記した実施形態において、強誘電体不揮発性メモリが形成された半導体チップの実装／IR熱処理の前に、2T2C方式のメモリセル領域31b内のメモリキャパシタ45a、45bには管理用データが書き込まれる。また、1T1C方式のメモリセル領域31aのメモリキャパシタ43には、実装／IR熱処理の後に顧客によってデータが書き込まれる。

#### 【0094】

2T2C方式のメモリセル領域31bでは、第1番目のワード線42と第1のビット線50aに接続される第1のメモリキャパシタ45aと、第2番目のワード線42と第2のビット線50bに接続される第2のメモリキャパシタ45bにより、1ビットのメモリセルが構成される。この場合、第1のメモリキャパシタ45aと第2のメモリキャパシタ45bは、互いに逆向きの残留分極の状態となる。

#### 【0095】

ここで、第1のメモリキャパシタ45aと第2のメモリキャパシタ45bは、

図 13 に示すように、分極電荷・電圧の関係で実質的に同じヒステリシスループを有する。例えば、図 13 において、第 1 のメモリキャパシタ 45 a が点 A の残留分極電荷  $-Q_{11}$  を有し、第 2 のメモリキャパシタ 45 b が点 B の残留分極電荷  $Q_{11}$  を有し、これによりデータ「1」が書き込まれているとする。なお、データ「0」が書き込まれている状態では、第 1 のメモリキャパシタ 45 a が点 B の残留分極電荷  $Q_{11}$  を有し、第 2 のメモリキャパシタ 45 b が点 A の残留分極電荷  $-Q_{11}$  を有する。

#### 【0096】

そして、そのデータを読み出す場合には、図 14 に示すタイミングチャートに従って読み出し信号を印加する。

#### 【0097】

まず、ロウデコーダ 54 によって隣り合う第 1、第 2 番目のワード線 42 に印加される電圧が 0 から電源電圧  $V_{cc}$  に立ち上がった後に、第 1、第 2 番目のプレート線 47 に印加される信号の電圧が 0 から  $V_{cc}$  に立ち上がる。

#### 【0098】

第 1、第 2 番目のプレート線 47 の電圧の立ち上がりによって、第 1 のメモリキャパシタ 45 a には電圧  $V_1$  が印加され、第 1 のメモリキャパシタ 45 a の分極状態は、図 13 に示すヒステリシスループに沿って移動して点 A から点 D に移動する。同時に、第 2 のメモリキャパシタ 45 b にも電圧  $V_1$  が印加され、第 2 のメモリキャパシタ 45 b の分極状態は、図 13 に示すヒステリシスループに沿って移動して点 B から点 D に移動する。

#### 【0099】

点 D の分極電荷量を  $Q_{12}$  とすれば、第 1 のメモリキャパシタ 45 a の分極移動量  $\alpha = Q_{12} - (-Q_{11})$  となり、第 2 のメモリキャパシタ 45 b の分極移動量  $\beta = Q_{12} - Q_{11}$  となる。

#### 【0100】

このとき、1 ビット用のメモリセルに「1」のデータが書き込まれている時には、第 1 のメモリキャパシタ 45 a の分極状態は反転し、第 2 のメモリキャパシタ 45 b の分極状態は反転しない。なお、1 ビット用のメモリセルに「0」のデータ



タが書き込まれている時には、第1のメモリキャパシタ45aの分極状態は反転せず、第2のメモリキャパシタ45bの分極状態は反転する。

#### 【0101】

分極が反転する第1のメモリキャパシタ45aの分極の移動量は $\alpha$ となり、分極が反転しない第2のメモリキャパシタ45bの分極の移動量は $\beta$ となる。そして、第1、第2のビット線50a、50bのうち分極の移動量の大きさによって生じる電位の変化をセンスアンプ53が検出して、第1のメモリキャパシタ45aからの電荷移動量が第2のメモリキャパシタ45bからの電荷移動量よりも大きいと判断し、1ビットのメモリセルには「1」のデータが記憶されていると判断する。

#### 【0102】

その反対に、第2のメモリキャパシタ45bからの電荷移動量が第1のメモリキャパシタ45aからの電荷移動量よりも大きいと判断する場合には、1ビットのメモリセルには「0」のデータが保持されていると判断する。

#### 【0103】

このように、本実施形態では、実装／IR熱処理の前にデータが書き込まれるメモリ領域において2T2C方式を採用し、メモリキャパシタにわずかな減極が生じて読み出しエラーが発生しなくなる。

#### 【0104】

従って、センスアンプ53において、第1、第2のビット線50a、50bの電位の変化量に基づいてメモリセルのデータの読み取りが正確に行われる。

#### 【0105】

また、上記したメモリセル領域31において、2T2C方式のメモリセル領域31bのビット数を全体のビット数の1%とすれば、メモリセル領域31の全てを2T2C方式とする構造に比べて、チップ面積を20～50%縮小することができるし、製造コストも削減できる。なお、2T2C方式は1ビットだけであってもよい。

(付記1) 複数の第1のビット線にスイッチングトランジスタを介して一端が接続される複数の記憶用強誘電体キャパシタと、

前記記憶用強誘電体キャパシタのそれぞれの他端に接続される第1のプレート線と、

第2のビット線に第1のnチャネルMOSトランジスタを介して一端が接続される第1の参照用強誘電体キャパシタと、

前記第1の参照用強誘電体キャパシタの他端に接続される第2のプレート線と

、

前記第2のプレート線に接続されるpチャネルMOSトランジスタとを有することを特徴とする半導体装置。

(付記2) 前記pチャネルMOSトランジスタは、前記第1のプレート線と前記第2のプレート線が接続されるプレートドライバ回路内に形成されていることを特徴とする付記1に記載の半導体装置。

(付記3) 前記プレートドライバ回路は、前記pチャネルMOSトランジスタがオンの状態で、前記第2のビット線よりも低い電圧を前記pチャネルMOSトランジスタを介して前記第2のプレート線に印可する構造を有することを特徴とする付記2に記載の半導体装置。

(付記4) 前記スイッチングトランジスタはnチャネルMOSトランジスタであることを特徴とする付記1乃至付記3のいずれかに記載の半導体装置。

(付記5) 前記第1のビット線の電圧変化量と前記第2のビット線の電圧変化量を増幅するセンスアンプを有する付記1乃至付記4のいずれかに記載の半導体装置。

(付記6) 第3のビット線に第2のnチャネルMOSトランジスタを介して一端が接続される第2の参照用強誘電体キャパシタと、

前記第2の参照用強誘電体キャパシタの他端に接続される第3のプレート線と

、

前記第3のプレート線に接続される第3のnチャネルMOSトランジスタとをさらに有することを特徴とする付記1乃至付記4のいずれかに記載の半導体装置。

(付記7) 前記第1の参照用強誘電体キャパシタは、前記第2の参照用強誘電体キャパシタと前記第1の参照用強誘電体キャパシタの総合計数の1%以下である

ことを特徴とする付記 5 に記載の半導体装置。

(付記 8) 前記第 1 の参照用強誘電体キャパシタは、加熱処理の前に、マイナス分極電荷のデータが書き込まれる素子であることを特徴とする付記 1 乃至付記 7 のいずれかに記載の半導体装置。

(付記 9) 前記加熱処理は 200℃以上であることを特徴とする付記 8 に記載の半導体装置。

(付記 10) 第 1、第 2 のトランジスタと第 1、第 2 の記憶用強誘電体キャパシタによって 1 ビットを記憶する 2T2C 方式のメモリセル領域と、

第 3 のトランジスタと第 3 の記憶用強誘電体キャパシタによって 1 ビットを記憶する 1T1C 方式のメモリセル領域とを有することを特徴とする半導体装置。

(付記 11) 前記 2T2C 方式のメモリセル領域は、前ビット数の 1%以下の範囲の領域であることを特徴とする付記 10 に記載の半導体装置。

(付記 12) 前記 2T2C 方式のメモリセル領域は、加熱処理の前にデータが書き込まれる領域であることを特徴とする付記 10 又は付記 11 に記載の半導体装置。

(付記 13) 前記加熱処理は 200℃以上であることを特徴とする付記 10 に記載の半導体装置。

#### 【0106】

##### 【発明の効果】

以上述べたように本発明によれば、1T1C 方式の強誘電体不揮発性メモリにおいて、リファレンスキャパシタとビット線の間接続されるトランジスタとして n チャネル MOS トランジスタを用い、そのリファレンスキャパシタに接続するプレート線に接続されるトランジスタとして p チャネル MOS トランジスタを用いているので、リファレンスキャパシタにおいてプレート線側を負電荷とした蓄積電荷の参照データが減極しにくくなる。

#### 【0107】

また、別の本発明によれば、2T2C 方式のメモリセル領域と 1T1C 方式のメモリセル領域を併存させたので、加熱前のデータを 2T2C 方式のメモリセル

領域に書き込むことができ、加熱処理によってデータの読み出しエラーの発生を防止でき、また、完全な 2T2C 方式の強誘電体不揮発性メモリに比べて縮小化することが可能になる。

【図面の簡単な説明】

【図 1】

図 1 は、従来の強誘電体不揮発性メモリの回路図である。

【図 2】

図 2 は、従来の強誘電体不揮発性メモリのメモリキャパシタとリファレンスキャパシタの電圧・分極電荷量の関係を示す図である。

【図 3】

図 3 は、従来の強誘電体不揮発性メモリのワード線、ビット線、プレート線のタイミングチャートである。

【図 4】

図 4 は、本発明の第 1 実施形態に係る強誘電体不揮発性メモリの回路図である。

【図 5】

図 5 は、本発明の第 1 実施形態に係る強誘電体不揮発性メモリのリファレンスセルを示す回路図である。

【図 6】

図 6 は、本発明の第 1 実施形態に係る強誘電体不揮発性メモリのメモリキャパシタとリファレンスキャパシタの電圧・分極電荷量の関係を示す図である。

【図 7】

図 7 は、本発明の第 1 実施形態に係る強誘電体不揮発性メモリのワード線、ビット線、プレート線のタイミングチャートである。

【図 8】

図 8 (a), (b) は、本発明の第 1 実施形態に係る強誘電体不揮発性メモリのリファレンスキャパシタの動作説明図である。

【図 9】

図 9 (a), (b) は、従来の強誘電体不揮発性メモリのリファレンスキャパシタの

動作説明図である。

【図 10】

図 10 (a), (b) は、本発明の第 1 実施形態に係る強誘電体不揮発性メモリの半導体チップの領域を示す平面図である。

【図 11】

図 11 は、本発明の第 2 実施形態に係る強誘電体不揮発性メモリを有する半導体チップの区分を示す平面図である。

【図 12】

図 12 は、本発明の第 2 実施形態に係る強誘電体不揮発性メモリの回路図である。

【図 13】

図 13 は、本発明の第 2 実施形態に係る強誘電体不揮発性メモリのメモリキャパシタとリファレンスキャパシタの電圧・分極電荷量の関係を示す図である。

【図 14】

図 14 は、本発明の第 2 実施形態に係る強誘電体不揮発性メモリのワード線、ビット線、プレート線のタイミングチャートである。

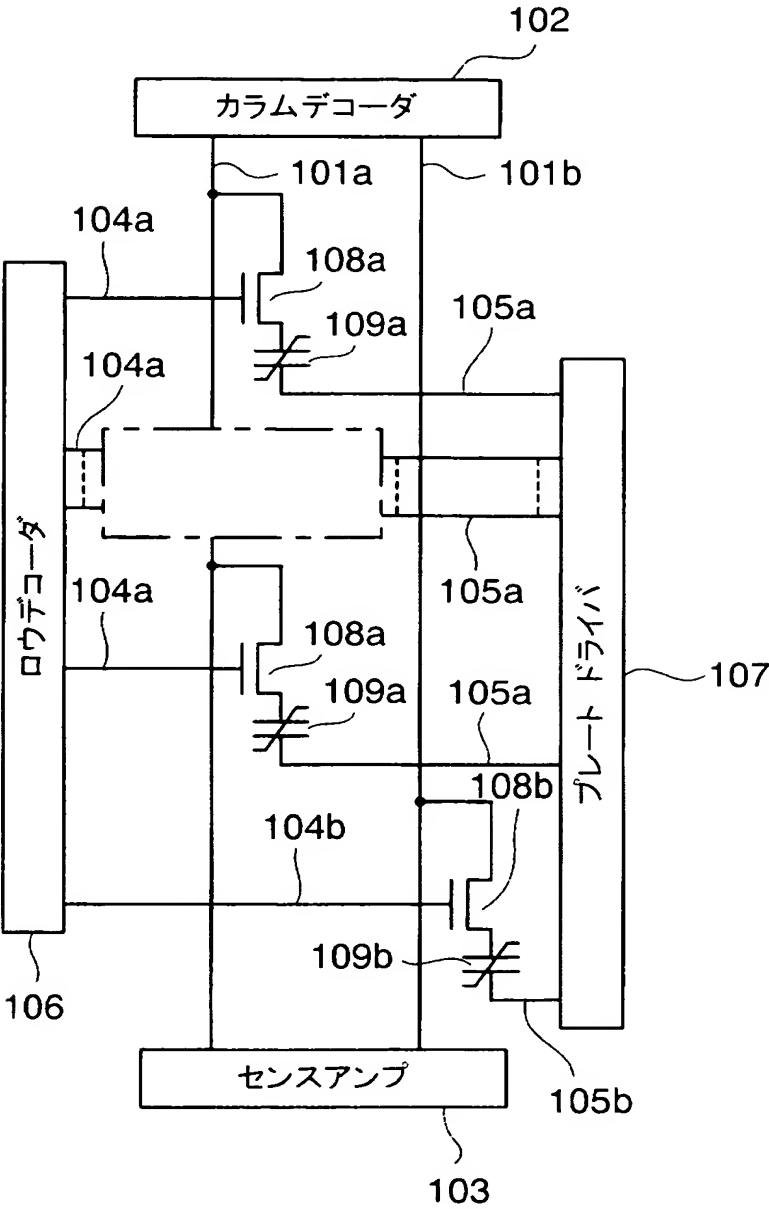
【符号の説明】

11、12、29…nチャネルMOSトランジスタ、13、14…ワード線、15…メモリキャパシタ（記憶用強誘電体キャパシタ）、16…リファレンスキャパシタ（参照用強誘電体キャパシタ）、17、18…プレート線、19、20…ビット線、21…ロウデコーダ、22…プレートドライバ、23…カラムデコーダ、24…センスアンプ、25…pチャネルMOSトランジスタ、31…1T1C方式メモリセル領域、31b…2T2C方式メモリセル領域、32…周辺回路領域、41…nチャネルMOSトランジスタ、42…ワード線、43、45a、45b…メモリキャパシタ、44…リファレンスキャパシタ、47…プレート線、48、49、50a、50b…ビット線、51…プレートドライバ、52…カラムデコーダ、53…センスアンプ、54…ロウデコーダ。

【書類名】 図面

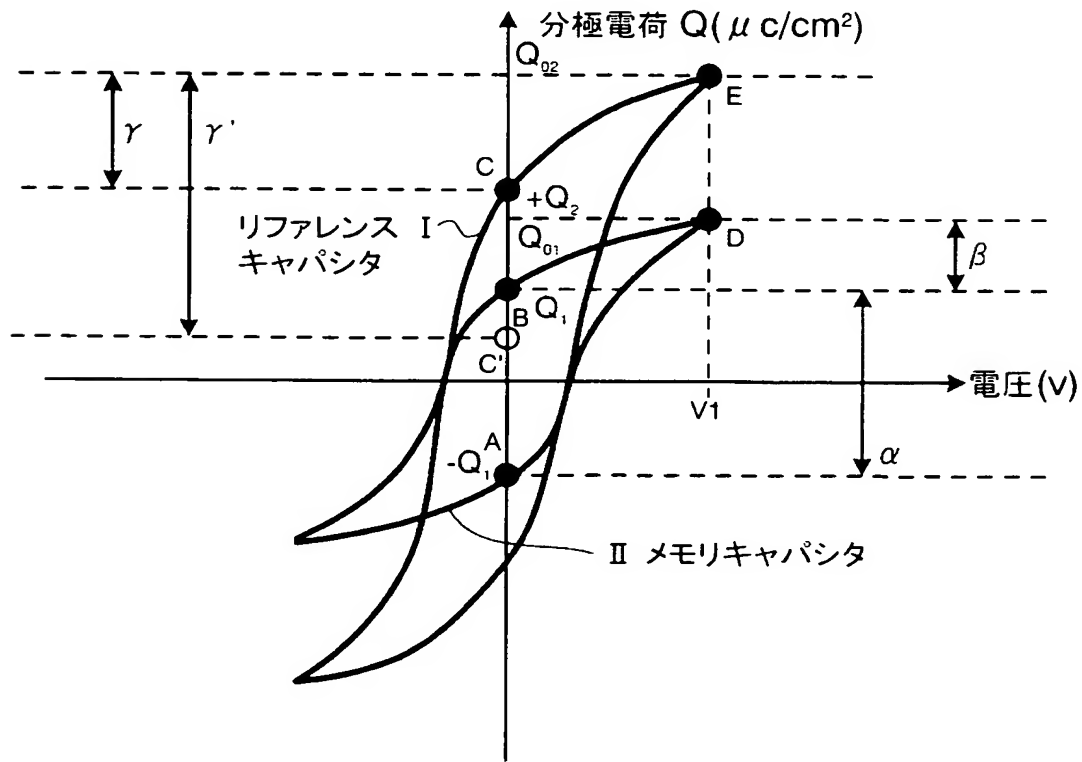
【図 1】

従来の強誘電体不揮発性メモリの回路図



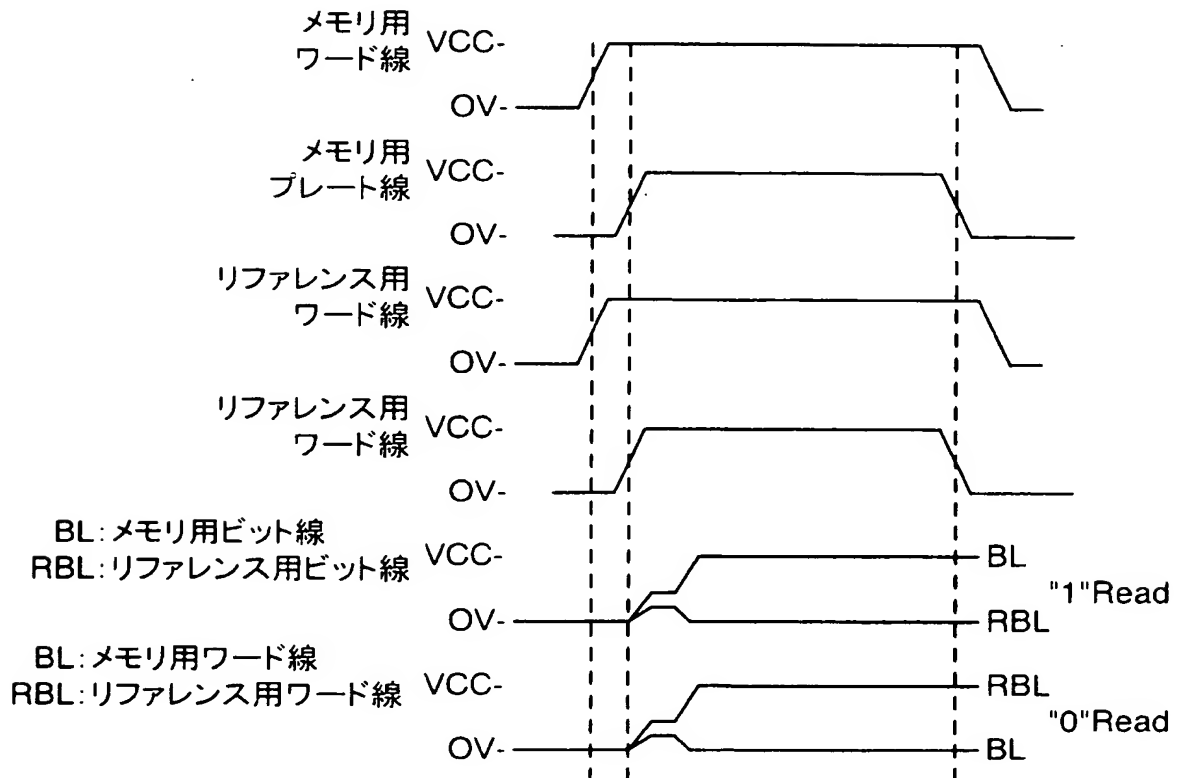
【図 2】

従来の強誘電体不揮発性メモリのメモリキャパシタと  
リファレンスキャパシタの電圧・分極電荷量の関係



【図 3】

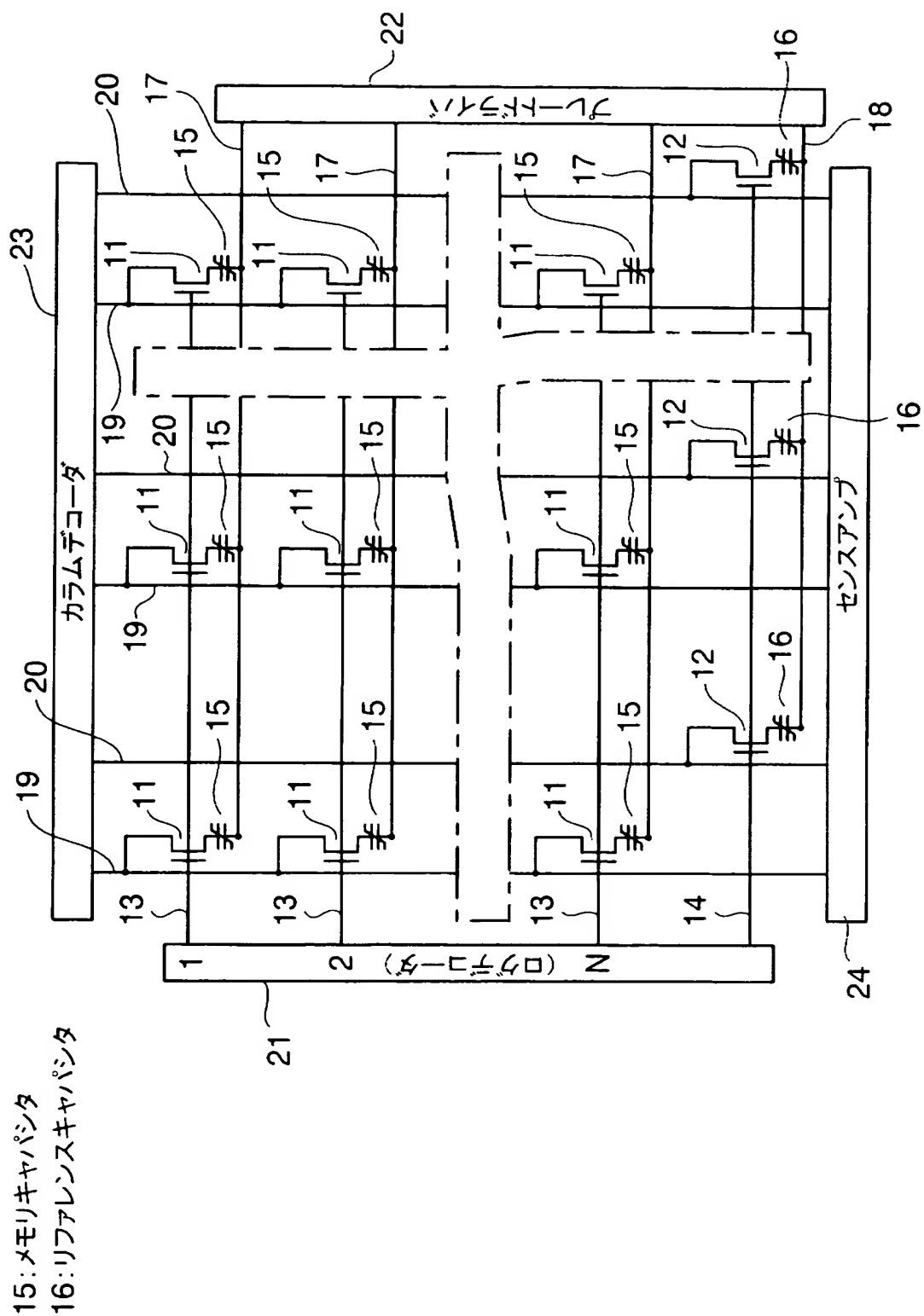
従来の強誘電体不揮発性メモリのワード線、ビット線、  
プレート線のタイミングチャート





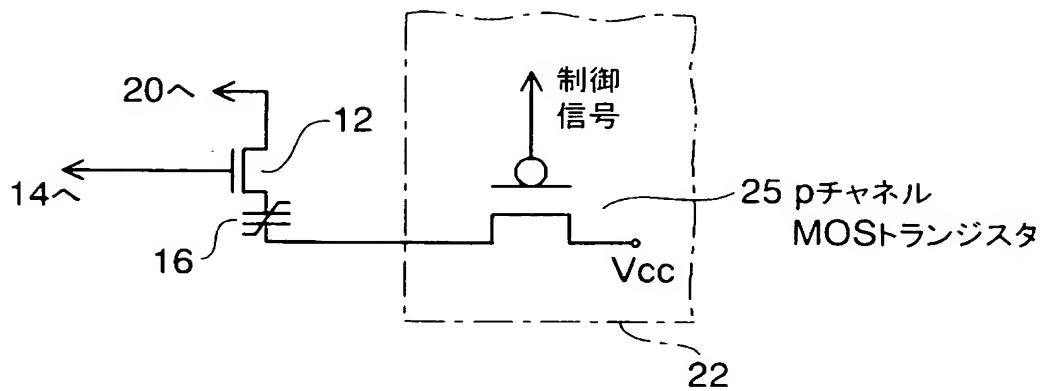
【図 4】

本発明の第1実施形態に係る強誘電体不揮発性メモリの回路図



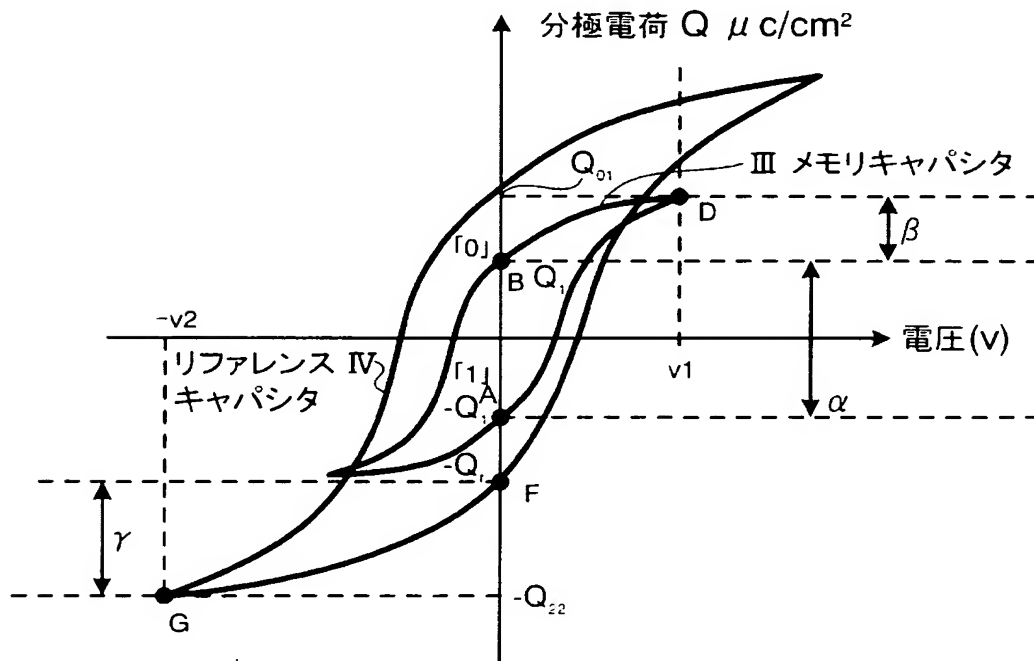
【図 5】

本発明の第1実施形態に係る強誘電体不揮発性メモリの  
リファレンスセルを示す回路図



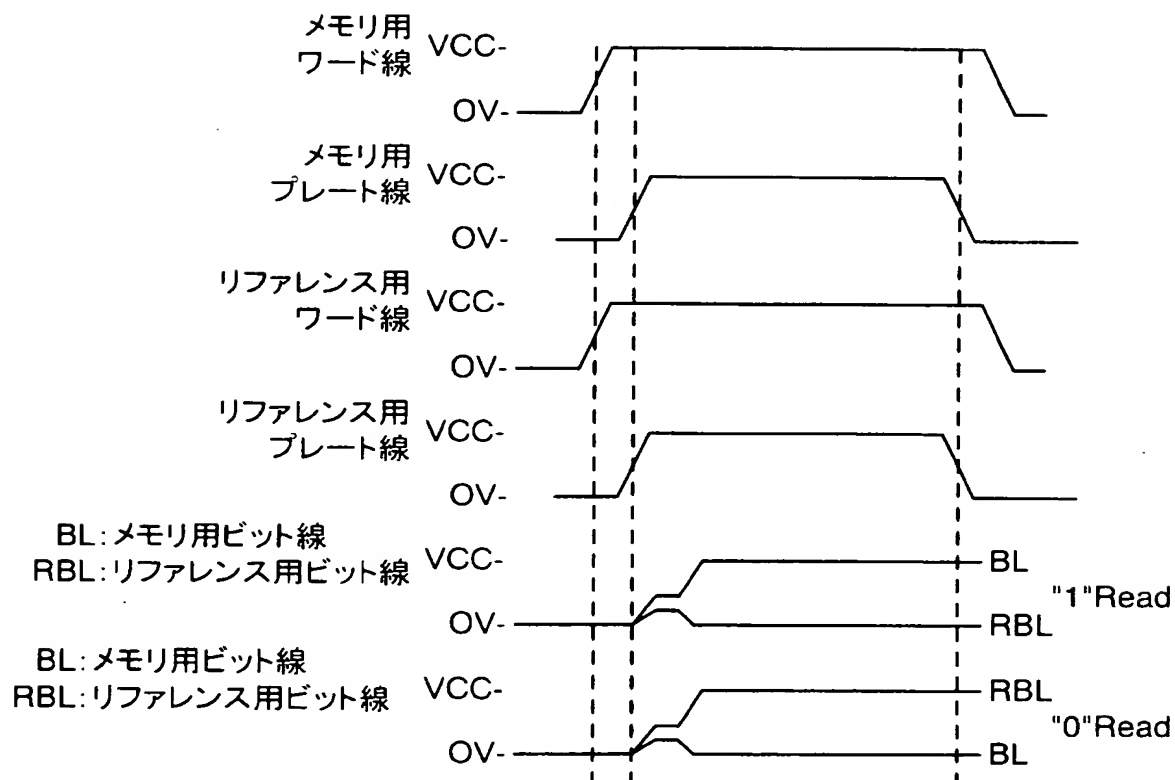
【図 6】

本発明の第1実施形態に係る強誘電体不揮発性メモリのメモリキャパシタと  
リファレンスキャパシタの電圧・分極電荷量の関係



【図 7】

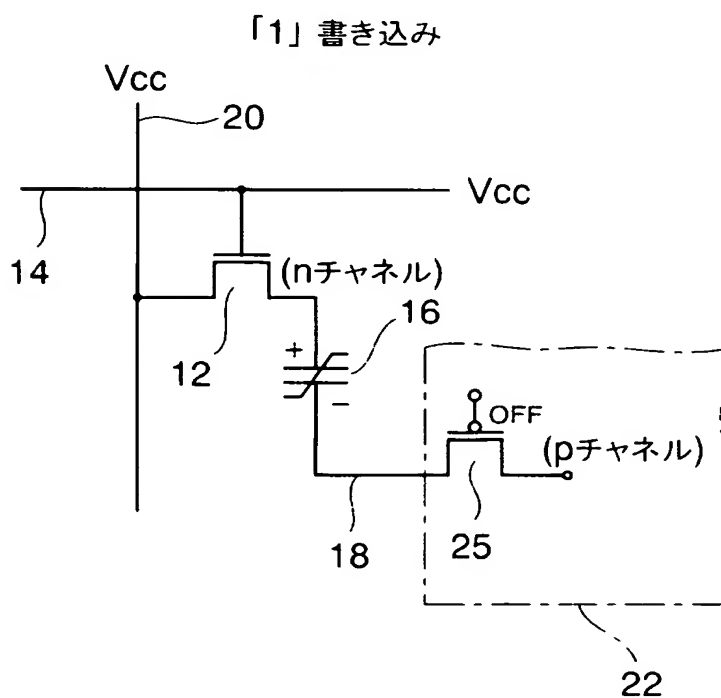
本発明の第1実施形態に係る強誘電体不揮発性メモリの  
ワード線、ビット線、プレート線のタイミングチャート



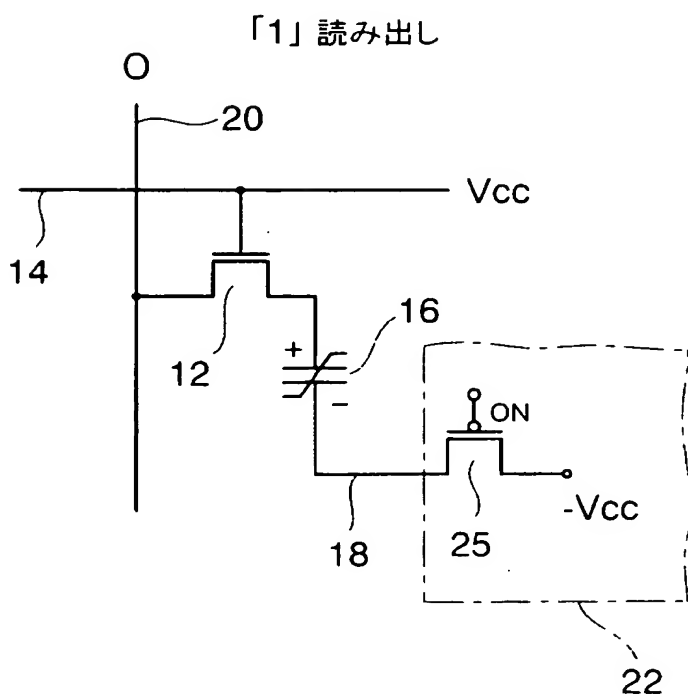
【図 8】

本発明の第1実施形態に係る強誘電体不揮発性メモリのリファレンスカパシタの動作説明図

(a)



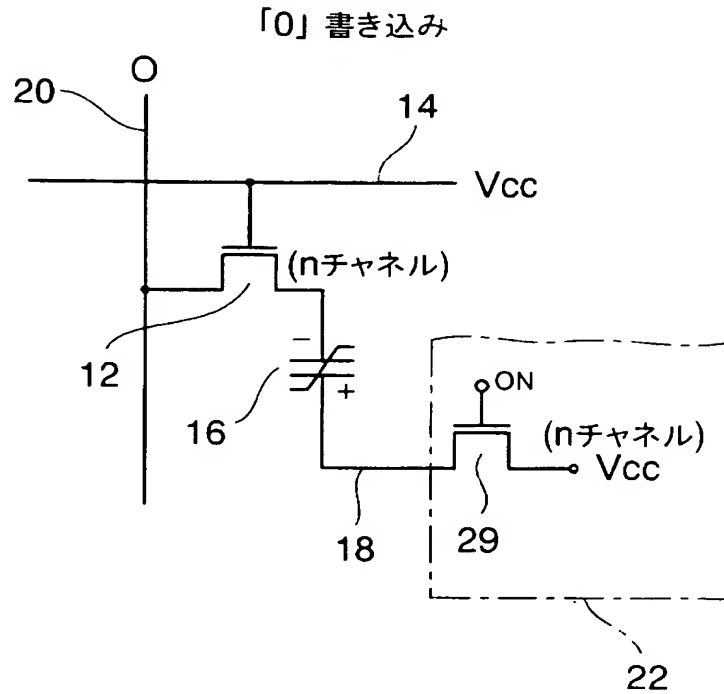
(b)



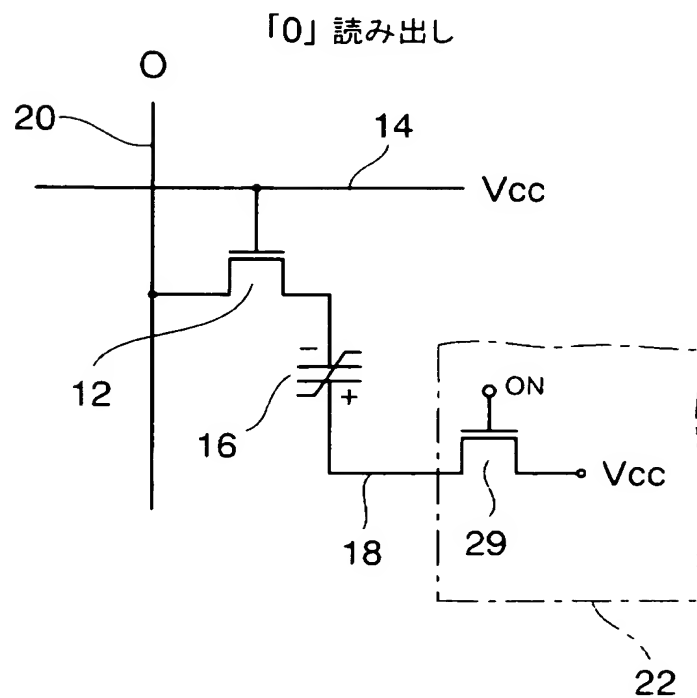
【図 9】

従来の強誘電体不揮発性メモリのリファレンスカパシタの動作説明図

(a)



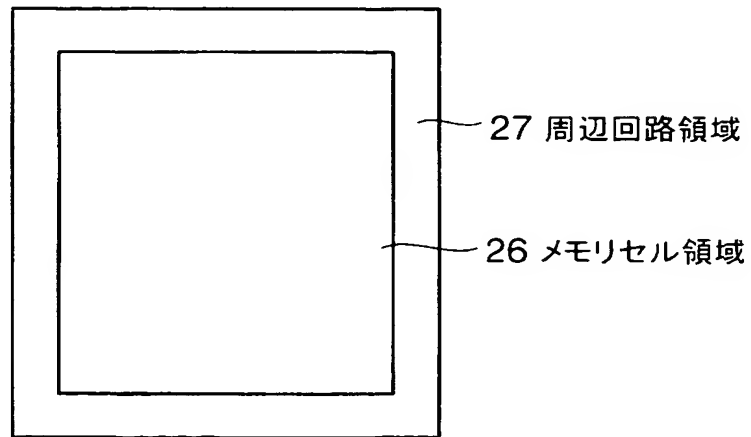
(b)



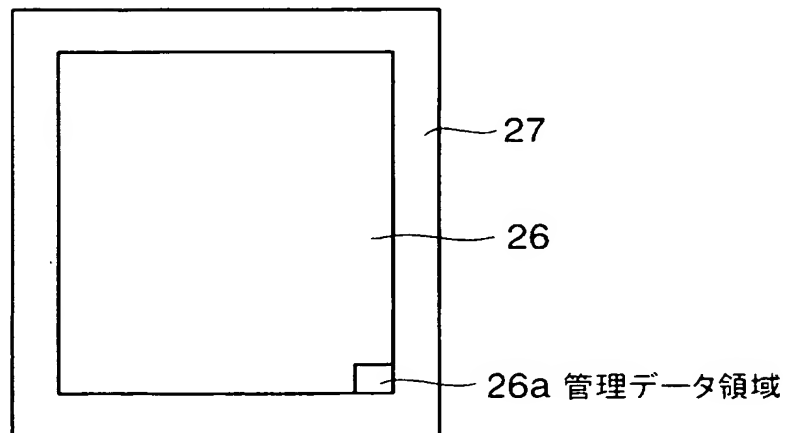
【図 10】

本発明の第1実施形態に係る強誘電体不揮発性メモリの  
半導体チップの領域を示す平面図

(a)

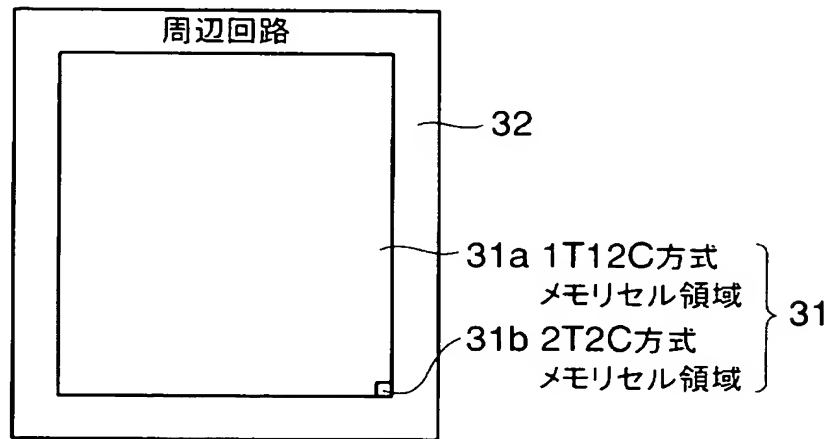


(b)



【図 11】

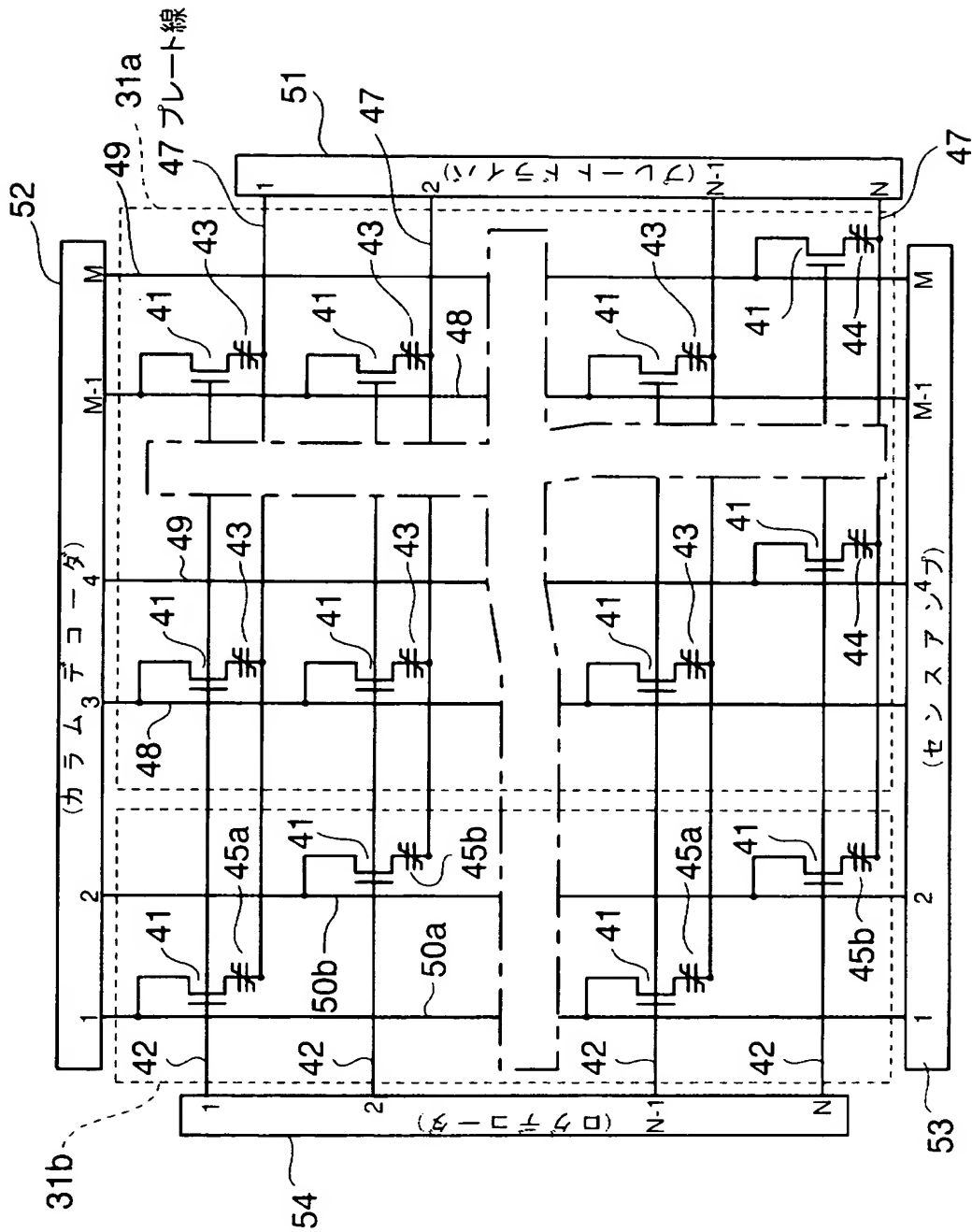
本発明の第2実施形態に係る強誘電体不揮発性メモリを有する  
半導体チップの領域を示す平面図





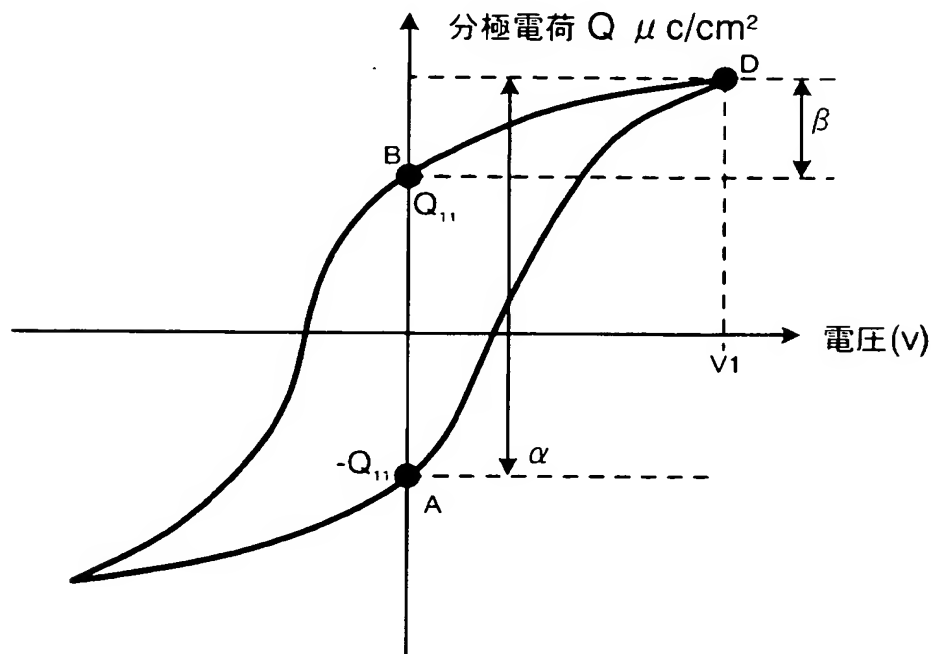
【図12】

本発明の第2実施形態に係る強誘電体不揮発性メモリの回路図



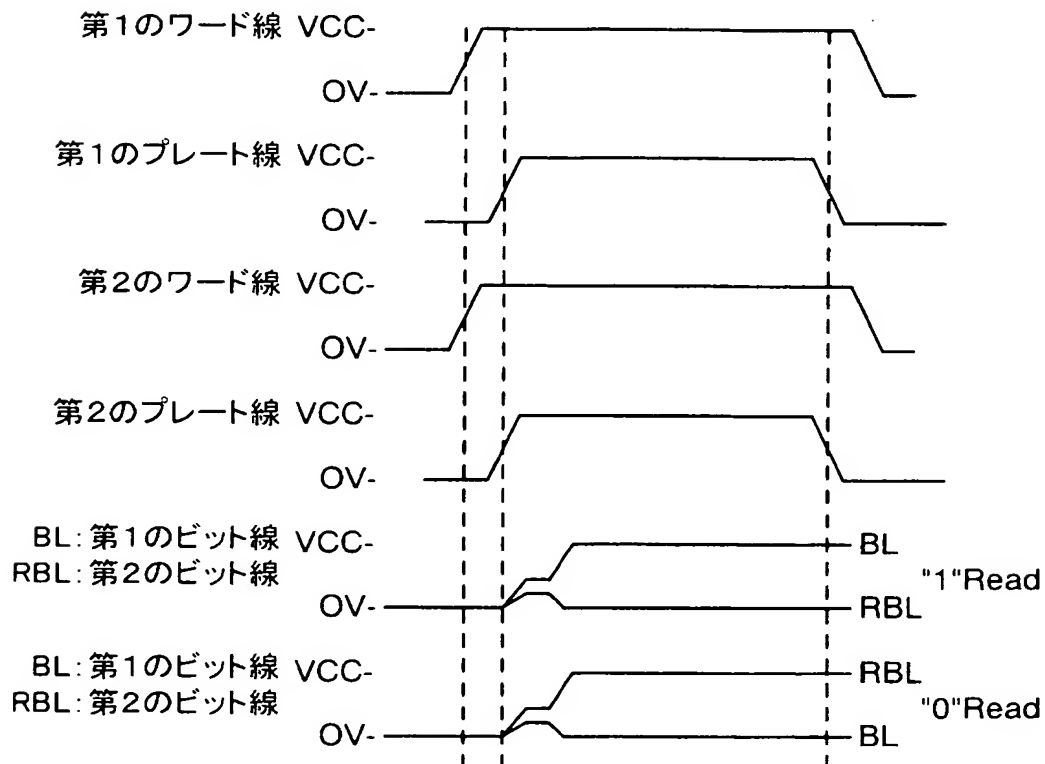
【図 13】

本発明の第2実施形態に係る強誘電体不揮発性メモリキャパシタの  
電圧・分極電荷量の関係



【図 14】

本発明の第2実施形態に係る強誘電体不揮発性メモリの  
ワード線、ビット線、プレート線のタイミングチャート



【書類名】 要約書

【要約】

【課題】 強誘電体不揮発性メモリに関し、加熱による読み出しエラーを防止すること。

【解決手段】 複数の第1のビット線19にスイッチングトランジスタ11を介して一端が接続される複数の記憶用強誘電体キャパシタ15と、記憶用強誘電体キャパシタ15のそれぞれの他端に接続される第1のプレート線17と、第2のビット線20に第1のnチャネルMOSトランジスタ12を介して一端が接続される第1の参照用強誘電体キャパシタ16と、第1の参照用強誘電体キャパシタ16の他端に接続される第2のプレート線18と、第2のプレート線18に接続されるpチャネルMOSトランジスタ25とを含む。

【選択図】 図4

特願 2003-078395

出願人履歴情報

識別番号

[000005223]

1. 変更年月日

1996年 3月26日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中4丁目1番1号

氏 名

富士通株式会社